

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-178563

(43)Date of publication of application : 22.07.1988

(51)Int.Cl.

H01L 29/78  
G11C 17/00

(21)Application number : 62-009024

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 20.01.1987

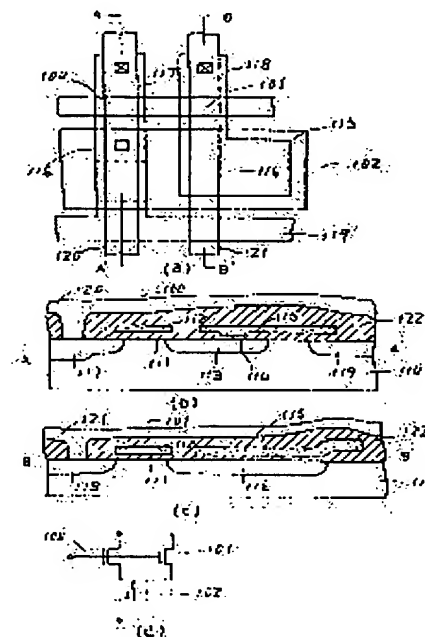
(72)Inventor : WADA MASASHI

## (54) NONVOLATILE SEMICONDUCTOR MEMORY AND PROGRAMMING METHOD THEREFOR

### (57)Abstract:

**PURPOSE:** To shorten the rewriting time largely by using tunnel currents in a rewritable nonvolatile semiconductor memory.

**CONSTITUTION:** High voltage VPP is applied to gates for selective transistors TR100, 101 in order to rewrite information, and supply voltage VCC is applied to a source 119. VPP is applied to one of two metallic wirings 120, 121 and ground potential to the other in response to data to be written. When voltage VPP is applied to the wiring 120 and the wiring 121 is brought to ground potential, a control gate 116 is grounded, and high voltage is applied to an electrode 113, thus applying a high electric field to a thin oxide film, then discharging electrons to a substrate 110 from a floating gate 115 by a tunnel phenomenon.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-178563

⑮ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)7月22日

H 01 L 29/78  
G 11 C 17/00

3 7 1  
1 0 1

7514-5F  
7208-5B

審査請求 未請求 発明の数 2 (全5頁)

⑭ 発明の名称 不揮発性半導体記憶装置及びそのプログラム方法

⑰ 特 願 昭62-9024

⑱ 出 願 昭62(1987)1月20日

⑲ 発 明 者 和 田 正 志 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究  
所内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 則 近 憲 佑 外1名

# 明 細 書

## 1. 発明の名称

不揮発性半導体記憶装置及びそのプログラム方法

## 3. 特許請求の範囲

(1) 半導体基板上に形成された記憶装置であり、第1の金属配線が接続された第1の半導体基板と逆導電型の高濃度不純物領域と互いに隔てて形成された第2の逆導電型の不純物領域と、該第1、第2の不純物領域間の基板表面に絶縁膜を介して設けられた選択トランジスタのゲートと第2の不純物領域と互いに隔てて形成された第3の逆導電型の不純物領域と、該第2、第3の不純物領域間の基板表面に絶縁膜を介して設置され、該第2の不純物領域上で該絶縁膜よりもうすい絶縁膜を介して設置された浮遊ゲートと、第2の金属配線が接続された、前記第1、第2、第3の不純物領域と分離された第4の基板と逆導電型の不純物領域と該第1、第2、第3、第4の不純物領域と分離され、前記浮遊ゲートと絶縁膜を介して対向する

第5の不純物領域と前記第4、第5の不純物領域間の基板表面に絶縁膜を介して形成され前記選択トランジスタのゲートと共通に接続されたゲートより成る事を特徴とする不揮発性半導体記憶装置。

(2) 半導体基板上に形成された記憶装置であり、第1の金属配線が接続された第1の半導体基板と逆導電型の高濃度不純物領域と互いに隔てて形成された第2の逆導電型の不純物領域と、該第1、第2の不純物領域間の基板表面に絶縁膜を介して設けられた選択トランジスタのゲートと第2の不純物領域と互いに隔てて形成された第3の逆導電型の不純物領域と、該第2、第3の不純物領域間の基板表面に絶縁膜を介して設置され、該第2の不純物領域上で該絶縁膜よりもうすい絶縁膜を介して設置された浮遊ゲートと、第2の金属配線が接続された、前記第1、第2、第3の不純物領域と分離された第4の基板と逆導電型の不純物領域と該第1、第2、第3、第4の不純物領域と分離され、前記浮遊ゲートと絶縁膜を介して対向する第5の不純物領域と前記第4、第5の不純物領域

間の基板表面に絶縁膜を介して形成され前記選択トランジスタのゲートと共通に接続されたゲートより成り、前記第1、第2の金属配線には、書き込みデータに応じて一方を高電位、他方を低電位となる電圧を印加する事を特徴とする不揮発性半導体記憶装置のプログラム方法。

(3) 第1、第2の金属配線に、書き込みデータに応じて一方に高電圧、他方に低電圧と印加し、選択ゲートに高電圧を印加した後、直ちに低電位となる電圧を印加し、記憶素子の書き込みが行われるまで保持する事を特徴とする特許請求の範囲第1項記載の不揮発性半導体記憶装置のプログラム方法。

### 3. 発明の詳細な説明

#### (発明の目的)

##### (産業上の利用分野)

本発明は半導体基板上に集積形成される記憶装置に係り、特に電気的に消去可能な不揮発性の記憶装置の構造及びそのプログラム方法に関する。

##### (従来の技術)

縁膜(208)を介してゲート電極(209)が設置され、n型不純物層(210)(202)より、ドレイン・ソースが形成された選択トランジスタ(211)が形成され、1つの記憶素子となっている。本記憶素子に情報の記憶を行うには、制御ゲート(205)に高電圧を印加し、n型不純物層(202)を接地電位に保つ事により、薄い酸化膜(201)でトンネル電流を流し、浮遊ゲート(203)に電荷を注入してなされる。情報を書き換える際には、逆に制御ゲート(205)を接地電位とし、選択トランジスタ(211)のドレイン(210)及びゲート(209)に高電圧を印加し、n型不純物層(202)に高電圧を印加し、電荷を放出する事によってなされる。

このような記憶装置の問題点の一つに書き換えに要する時間が長いという点がある。即ち、情報の読み出しは通常の半導体装置で達成されているアクセス時間 $\sim 200$  ns程度となるのに対し、書き換えはうすい酸化膜のトンネル現象を利用しているため、注入電流密度を上げると酸化膜の破壊が起るといった問題があり、早くする事ができず、 $\sim$

半導体基板上に形成される記憶装置は近年著しい発展をとげている。特にシリコン基板を用いたMOS型のメモリは、システムの高機能化、小型化低価格化をうながす原動力となっている。

MOSメモリは大別すると、電源しゃ断時に情報の失われる揮発性メモリと情報の失われる事のない不揮発性のメモリに分けられる。後者は、内容の書き換えが比較的少なく、長期間情報を保持する必要のあるデータを記憶する場合に用いられている。このような不揮発性を有しかつ、その内容を電気的に消去可能なメモリ構造として、第2図に示すものが知られている。即ち、p型シリコン基板(200)上にその一部が薄い酸化膜( $\sim 100\text{\AA}$ )(201)を介してシリコン基板(200)中のn型不純物領域(202)と対向する如く形成された浮遊ゲート(203)と、浮遊ゲート(203)上の絶縁膜(204)上に設置された制御ゲート(205)よりなる記憶トランジスタ(206)が形成されている。(207)はn型不純物層であり、トランジスタ(206)のソースとなっている。一方、シリコン基板(200)上の絶

10ms程度必要とする。ところが、このような記憶装置が使用されるシステムでは周辺の演算機等は読み出し時間程度の早さで動作しており、書き込み時間に時間がかかると全体の効率を大巾に低下させるといった問題点があった。

#### (発明が解決しようとする問題点)

本発明は上記問題点に鑑みてなされたものであり、トンネル電流により、書き換え可能な不揮発性の半導体記憶装置において、その書き換え時間を大巾に短縮し、ユーザにとってより使いやすい記憶装置を提供する事を目的としている。

#### (発明の構成)

##### (問題点を解決するための手段)

本発明の構成を図面を用いて説明する。第1図(a)にその平面図、(b)、(c)にそのA-A'断面、B-B'断面、(d)にその等価回路を示したように、本発明における記憶素子は番地選択トランジスタ(100)、(101)と、記憶トランジスタ(102)により構成されている。番地選択トランジスタ(100)、(101)は半導体基板(110)上に形成された。ゲー

ト絶縁膜(111)とゲート電極(112)によりなり、記憶トランジスタ(102)は半導体基板(110)表面に形成された基板と逆導電型の不純物領域(113)とその表面のうすい絶縁膜領域(114)を介して設置された浮遊ゲート(115)及び不純物領域(113)とは互いに隔てて形成された他の不純物領域(116)が浮遊ゲート(115)と絶縁膜(111)を介して対向する如く形成されている。不純物領域(116)は記憶トランジスタ(102)の制御ゲートとして作用する。\*半導体基板表面には更に半導体基板とは逆導電型の高濃度不純物領域(117),(118),(119)が形成され、各々、ドレイン・ソース領域を形成している。また、ドレイン(117),(118)には各々コンタクト穴を介して金属配線(120),(121)が接続されている。(122)は素子保護用の絶縁膜である。

#### (作 用)

次に本発明の記憶装置の動作について説明する。本発明の記憶装置において書き換えを行うには、第3図(ウ)に示すように選択トランジスタ(100),(101)のゲートに高電圧( $V_{pp}$ )を印加し、ソー

ス(119)に電源電圧( $V_{cc}$ )を印加する。更に、2つの金属配線(120),(121)には、書き込むべきデータに対応して、一方に $V_{pp}$ 、他方に接地電位を印加する。例えば、金属配線(120)に $V_{pp}$ と印加し、金属配線(121)を接地電位とした場合、制御ゲート(116)は接地され、電極(113)は高電圧が印加されるため、うすい酸化膜に高電界が印加され、トンネル現象により電子が浮遊ゲート(115)から基板(113)へ放出される。逆に金属配線(121)に高電圧を印加し、金属配線(120)を接地電位とした場合は、基板(113)から浮遊ゲート(115)に電子が注入される。情報の読み出しは第3図(ウ)に示すように、選択トランジスタ(100),(101)のゲート(112)に電源電圧( $V_{cc}$ )を印加し、ソース(119)は接地する。更に、金属配線(121)は接地電位とし、金属配線(120)により読み出し電圧( $V_R$ )を印加する。例えば、半導体基板がP型シリコンの場合は、浮遊ゲート(115)に電子の注入されている場合は、浮遊ゲート電位が負となり、ドレイン(113)、ソース(119)間にはチャンネルが形成され

ず、電流が流れないのに対し、浮遊ゲート(115)から電子が放出されている場合は浮遊ゲート(115)の電位が正となるためチャンネルが形成され電流が流れる。この様にして、記憶素子に書き込まれている情報が読み出される。

ところで、第2図に示した従来構造の記憶素子では、情報の書き込みは同様の原理により行われるが、書き換えは、一旦、浮遊ゲート(203)に電子を注入した後、データに応じて浮遊ゲート(203)から放出するか、否かが決定される。従って、書き換えには2つの段階を必要とする。これは、記憶素子を多数集積形成した大容量メモリでは、書き換えを行う前に浮遊ゲート(203)に電荷の注入された原子とそうでない素子が同時に存在し、書き換える場合は、そのうちの例えば8個を選びデータに応じて浮遊ゲートに電荷を注入する素子とそうでない素子を実現しなければならないからである。一方、本発明の素子ではこれまでの説明で明らかなように、浮遊ゲート(115)に電荷を注入した素子とそうでない素子を実現するには、単に

2つの金属配線(120),(121)に印加する電位をデータに応じて変えるのみで可能であり、これは一つの動作で実現する事ができる。従って、従来に比べて書き込み時間を短縮する事が可能である。更に、本発明においては、大巾な書き込み時間の短縮ができる。即ち、本発明の素子を多数同一半導体基板上に形成し、書き込みを行う際には選択トランジスタ(100),(101)のゲート(112)に高電圧を印加し、書き込みデータに応じて2つの金属配線(120),(121)の一方に高電圧を印加し、他方を接地電位とする。次に直ちにゲート(112)を接地電位とし、外部回路からは見かけ上書き込みを終了し、別の素子の書き込みに移る。この時、ゲート(112)は接地電位となるため、選択トランジスタ(100),(101)はオフするため、基板中の不純物領域(113),(116)は高電位、あるいは低電位が保たれるため、書き込み状態が記憶され、不純物領域(113),(116)の電位が基板とのもれ電流により低下するまで保持される。従って、一つの素子を書き換えるのに要する時間は不純物領域(113)

あるいは(116)の電位をもち上げる時間だけであり、従来に比べて充分小さくする事ができる。

(実施例)

次に、本発明を一実施例を用いて説明する。第4図(α)に示すようにp型シリコン基板(400)表面に素子分離用の厚い酸化膜を形成した後、例えばヒ素をイオン注入し、n領域(401)、(402)を形成する。続いて、400Å程度の酸化膜(403)を基板表面に成長させ、第4図(α)に示すようにうすい酸化膜を形成する領域(404)の酸化膜(403)を除去する。次に、(α)に示すように100Å程度のうすい酸化膜(405)を成長させ、多結晶シリコン層(406)を堆積する。次に(α)に示すように多結晶シリコン(406)を所望の形状にパターニングし選択トランジスタゲート(407)、浮遊ゲート(408)を形成する。最後に(α)に示すように低濃度n型不純物層(408)、(409)を例えばリンのイオン注入により形成し、更にn<sup>+</sup>不純物層(410)、(411)を例えばヒ素のイオン注入により形成した後、保護膜(412)を堆積し、コンタクト穴を開口し、Al配線(413)

を形成する。尚、図面には明示しなかったが制御ゲートとなるm型不純物領域も同時に(α)の断面の工程において形成される。

このような素子を半導体基板上に集積形成した記憶装置のブロック図を第5図に示す。記憶素子をマトリックス状に配置したメモセルマトリックスと、それらを選択するカラムデコーダ、ロウデコーダ、外部とデータのやりとりを行うI/O回路、高電圧を供給する昇圧回路、これらを制御する制御回路等より構成されている。本装置においては、書き換えを行う際、I/O回路を通してとり込まれたデータがカラムデコーダ、ロウデコーダにより選ばれたセルに送られ、データに応じて2本のAl配線のどちらかに高電圧、他に低電圧が与えられる。また、外部よりとり込まれたデータは次々と選ばれた番地のセルに送られ、高速の書き込みが実現される。

(発明の効果)

以上述べたように本発明の記憶装置では、不揮発性の半導体メモリであり、かつ高速の書き換え

を実現する事ができるため、従来、使うことのできなかった大量データを高速でやりとりするシステムにおいて不揮発性メモリを使用する事が可能となった。従来、このような用途には電池によるバックアップを用いたRAMを用いるのが通常であったが、電池の寿命交換等の点で制限があったがこの点が改善される。

4. 図面の簡単な説明

第1図は本発明の概略を示す説明図、第2図は本発明の動作を説明するための回路図、第3図は本発明の一実施例を説明するための工程断面図、第4図は本発明の一実施例を説明するためのブロック図、第5図は従来例を説明するための断面図である。

100, 101…番地選択トランジスタ

102…記憶トランジスタ

110…半導体基板

111…ゲート絶縁膜

112…ゲート電極

113, 116…不純物領域

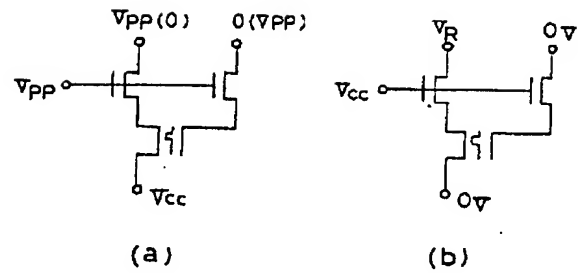
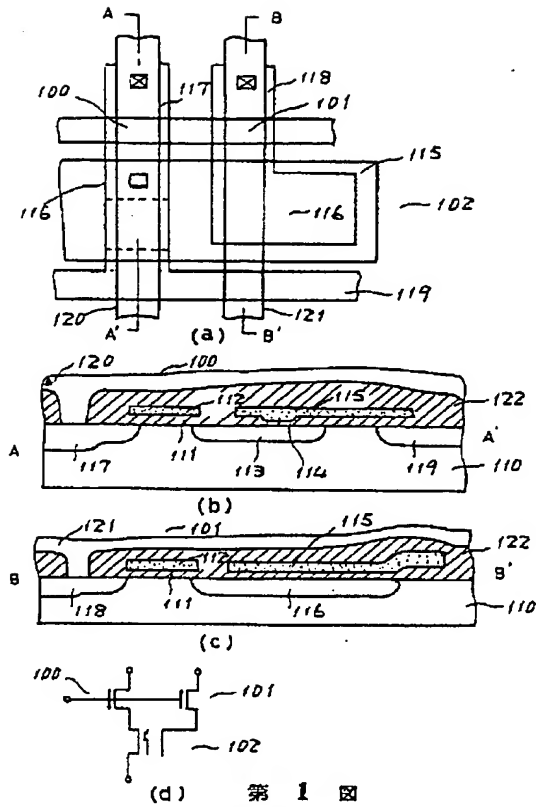
114…絶縁膜領域

115…浮遊ゲート

117, 118, 119…高濃度不純物領域

120, 121…金属配線

代理人 井理士 則 近 憲 佑  
同 竹 花 喜久男



第 2 図

